

差動增幅器의 解析에 對한 小考

朴 炳 哲*

Abstract

The differential amplifier is one of d-c amplifiers. This amplifier is the amplification of differential mode input and the suppression of Common mode input. It shows the known possiblrlty of biasing the differential stage from a constant current source.

I. 序 論

差動增幅器는 直流增幅器의 一種이며 두 個의 眞空管이나 transistor를 對稱的으로 構成하여 두 個의 入力信號의 差信號를 幅增코자 하는 것이다. 그러나 이 回路에는 두 個의 和信號(同相信號)도 包含되어 있으며 이 信號를 除去해야 한다. 이 和信號를 除去하기 위하여 定電流回路를 쓰는데 이를 解析하여 理論的인 뒷바침을 하고자 하는 것이다.

II. 差動增幅器의 原理

그림 1과 같은 差動幅增回路에 있어서 V_0 를 output, V_1 , V_2 를 各各 input signal이라 할 때 $(V_1 - V_2)$ 에 比例하는 output을 얻는게 가장 理想的이다.

일반적으로 V_0 는

$$V_0 = A_1 V_1 + A_2 V_2 \dots \dots \dots (1)$$

$$\text{但 } \begin{cases} A_1 V_1 : V_1 \neq 0, V_2 = 0 \text{ 일 때의 出力} \\ A_2 V_2 : V_1 = 0, V_2 \neq 0 \text{ 일 때의 出力} \end{cases}$$

으로 表示할 수 있다. ① 지금

$$V_d = (V_1 - V_2), V_c = \frac{1}{2}(V_1 + V_2) \dots \dots \dots (2)$$

$$\text{但 } \begin{cases} V_d : \text{差信號 (differential mode signal)} \\ V_c : \text{同相信號 (common mode signal)} \end{cases}$$

이라 表示하면, (2)式은 또

$$V_1 = V_c + \frac{1}{2} V_d, V_2 = V_c - \frac{1}{2} V_d \dots \dots \dots (3)$$

* 電子工學科 教授

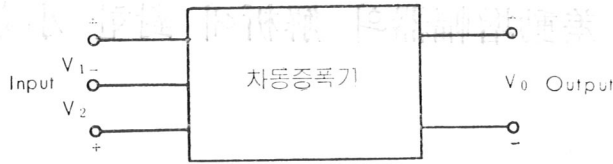


Fig. 1

라 表示할 수 있으며, (3)式을 (1)式에 代入하면,

$$V_0 = A_d V_d + A_c V_c \dots\dots\dots (4)$$

$$\text{但 } \begin{cases} A_d = \frac{1}{2}(A_1 - A_2) & : V_d \text{에 對한 電壓利得} \\ A_c = (A_1 + A_2) & : V_c \text{에 對한 電壓利得} \end{cases}$$

이다. ② 앞서 말한 바와 같이 理想的인 差動幅增器에서는 $A_c = 0$ 이다. 따라서 性能評價는 $|A_d/A_c|$ 란 Parameter를 생각하며, 이를 同相除去率(Common mode rejection ratio : CMR)이라 부른다. (4)式은 또

$$V_0 = A_d \left(V_d + \frac{1}{k_c} \cdot V_c \right) \dots\dots\dots (5)$$

但 K_c : CRM 이라 쓸 수 있다. ③

III. 回路 解析

그림 2에서 첫段의 出力은 各各 $\frac{1}{2}(V_{o1} + V_{o2})$ 인 同相信號分과 $(V_{o1} - V_{o2})$ 인 差信號分으로.

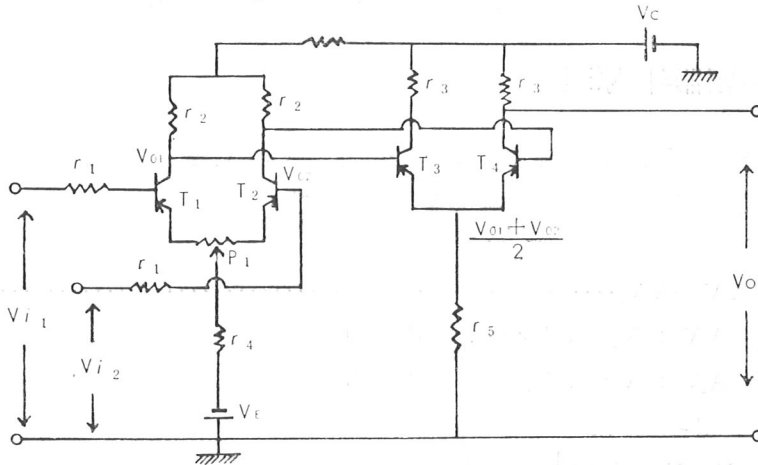


Fig. 2

나눌 수 있고, 이 信號들이 다시 第2段의 入力分이 된다. 따라서 第2段의 出力分은

$$V_0 = A_d \left(V_d + \frac{1}{k_c} \cdot V_c \right)$$

꼴로 表示할 수 있다. 即

$$V_0 = A_{d2} \left[(V_{o1} - V_{o2}) + \frac{1}{2k_4} (V_{o1} + V_{o2}) \right] \dots\dots\dots (6)$$

그런데 V_{o1} 및 V_{o2} 를 또

$$(V_{01}-V_{02})=A_{d1}\left[(V_{i1}-V_{i2})+\frac{1}{2}\cdot\frac{1}{k_1}(V_{i1}+V_{i2})\right] \dots\dots\dots (7)$$

$$\frac{1}{2}(V_{01}+V_{02})=A_{d1}\left[\frac{1}{k_2}(V_{i1}-V_{i2})+\frac{1}{2}\cdot\frac{1}{k_3}(V_{i1}+V_{i2})\right] \dots\dots\dots (8)$$

라 表示하면, V_0 는

$$V_0=A_{d1}A_{d1}\left[\left(1+\frac{1}{k_3\cdot k_4}\right)(V_{i1}-V_{i2})+\frac{1}{2}\left(\frac{1}{k_1}+\frac{1}{k_2\cdot k_4}\right)(V_{i1}+V_{i2})\right] \dots\dots\dots (9)$$

이라 쓸 수 있다. ④ 이 式을 (5)式과 比較 생각하자. 이때 k_i 의 값들은 매우 큰 값이므로 $\frac{1}{k_3\cdot k_4}\ll 1$, $\frac{1}{k_2\cdot k_4}\ll 1$ 이 되므로 各各 無視하여 쓰면,

$$V_0\approx A\left[(V_{i1}-V_{i2})+\frac{1}{2}\cdot\frac{1}{k_1}(V_{i1}+V_{i2})\right] \dots\dots\dots (10)$$

但 $A=A_{d1}\cdot A_{d2}$

라 쓸 수 있다. 여기서 우리는 첫 段階의 同相除去率을 다시 생각해 보자. Fig. 2에서 T_1 , T_2 는 서로 對稱이고, 모든 것이 同一值이므로, 萬一 $V_{i1}=V_{i2}$ 라 하면, $\frac{1}{k_1}$ 은 zero가 된다(理想的인 경우) 그러나 現實으로는 完全一致란 있을 수 없다. 따라서 $\frac{1}{k_1}$ 은 zero가 아닌 어떤 值를 갖게 된다. 지금 T_1 및 T_2 의 各 parameter를

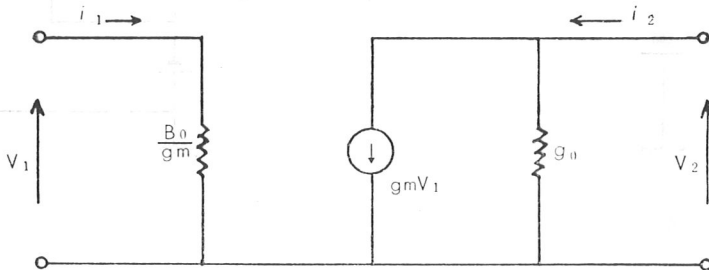


Fig. 3

$$\begin{cases} T_1 \rightarrow \beta_1 = \beta_0, & g_{m1} = gm, & g_{o1} = g_0 \\ T_2 \rightarrow \beta_2 = \beta_0, & g_{m2} = gm + \Delta gm, & g_{o2} = g_0 + \Delta g_0 \end{cases}$$

$$\begin{cases} \Delta gm \ll gm, & \Delta g_0 \ll gm\beta_0 = \frac{\alpha}{1-\alpha} : \text{전류 증폭률} \\ gm : \text{상호 conductance} & g_0 : \text{output admittance} \end{cases}$$

라 하면, $\frac{1}{k_1} = \frac{\Delta gm}{gm^2}\left(g_0 + \frac{1}{2\gamma_4}\right) + \frac{\Delta g_0}{gm} \dots\dots\dots (11)$

가 된다. ④ 이때 β 는 Potentiometer P_1 을 조정할 수 있어서 同一視했다. 이 (11)式에서 보면 $\frac{1}{k_1}$ 을 적게하기 위해서 emitter 抵抗 γ_4 를 크게 해야 한다. 그러나 γ_4 의 크기는 供給電壓과 關係되어 制限된다. 지금 γ_4 代身 定電流回路를 놓으면 γ_4 를 collector側에서 보았을 때

$$\gamma_0 = \frac{1}{h_{oe}} \cdot \frac{(1+h_{fe})\gamma_4 + h_{ie}(1+h_{oe}\cdot\gamma_4)}{\gamma_4 + h_{ie} - h_{fe}\cdot h_{re}/h_{oe}}$$

但 γ_0 : 出力側에서 본 抵抗值

萬一, $\gamma_4 \gg h_{ie}$, $h_{oe}\gamma_4 \ll 1$ 이라 하면,

$$\gamma_4 \doteq \frac{1}{h_{oe}}$$

이 되어 γ_4 가 出力側에서는 $\frac{1}{h_{oe}}$ 이 됨을 알 수 있다. ② 即

$$\frac{1}{k_1} \doteq \frac{\Delta g_m}{g_m^2} \left(g_o + \frac{1}{2h_{oe}} \right) + \frac{\Delta g_o}{g_m}$$

$\frac{1}{2h_{oe}} \ll 1$ 이나 볼 수 있으므로

$$\therefore \frac{1}{k_1} \doteq \frac{g_o}{g_m} \left(\frac{\Delta g_m}{g_m} + \frac{\Delta g_o}{g_o} \right)$$

가 되어 거의 γ_4 와 無關해져 크게 取할 수 있다.

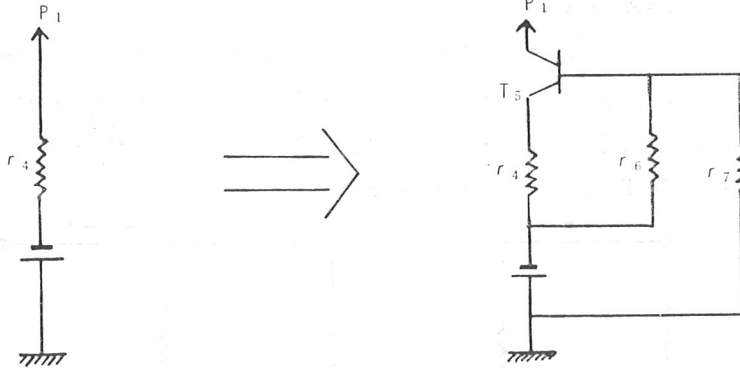


Fig. 4

IV. 結 論

1. 差動幅增器에서는 언제나 同相分을 억제하는데 γ_4 를 크게 해야 한다.
2. 그러나 γ_4 를 크게 하면 bias 電流가 감소하여 h_{ie} 가 커지고, h_{fe} 가 적어져 CMR을 낮추는 경향이 있다.
3. 그래서 定電流回路를 使用하는데 實際의 γ_4 보다 bias 電流와 無關하게 큰 값을 취할 수 있으므로 定電流回路를 使用하면 됨을 알 수 있다.

Reference

1. Millman and Halkias, Electronic Devices and Cicuits McGraw Hill, 1967.
2. 이영근, 전자공학의 기초, 광림사.
3. 이병선, MOS Transistor를 利用한 差動幅增器, 전자공학회, 67-4-4-1, pp. 187~ 196.
4. G. Reyer, Brötz and A. Kley, The Common-Mode Rejection of Transistor Differential Amplifier IEEE. Trans. Vol. G-13 No. 2, pp. 171~175.
5. 押山, 相川, 電子管回路, Ohms社.
6. 押本, 石坂, Transistor回路, Ohms社.
7. 電氣學會編, Transistors, 電氣學會.